

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354676

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 23/12

H05K 1/02

H05K 1/18

(21)Application number : 10-161626

(71)Applicant : SONY CORP

(22)Date of filing : 10.06.1998

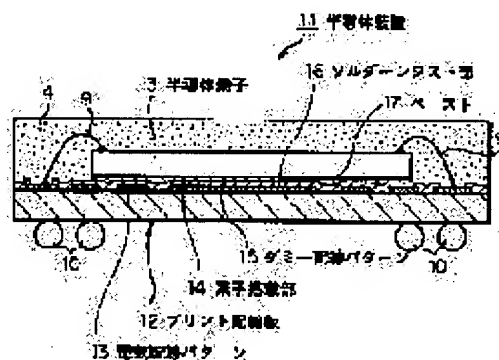
(72)Inventor : ITO HITOSHI

(54) PRINTED WIRING BOARD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a printed wiring board and a semiconductor device employing it in which quality of the semiconductor device is enhanced at the time of mounting by stabilizing adhesion of a semiconductor element to the printed wiring board.

SOLUTION: The printed wiring board 12 comprises a wiring pattern 13, and a part 14 for mounting a semiconductor element 3 and securing it through paste 17 wherein a dummy wiring pattern 15 of substantially same thickness as the wiring pattern 13 is provided at the element mounting part 14. The semiconductor element 3 is mounted on the printed wiring board 12 to constitute a semiconductor device 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-354676

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

H 0 5 K 1/02

H 0 5 K 1/02

J

1/18

1/18

J

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平10-161626

(22) 出願日 平成10年(1998) 6 月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 伊藤 仁

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

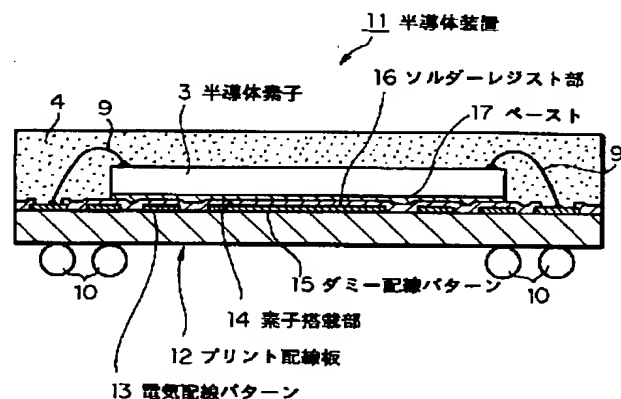
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 プリント配線板および半導体装置

(57) 【要約】

【課題】 プリント配線板への半導体素子の接着状態を安定させ、これにより半導体装置の実装時における品質の向上を図ったプリント配線板とこれを用いた半導体装置の提供が望まれている。

【解決手段】 配線パターン13と、半導体素子3を搭載しこれをペースト17で固定するための素子搭載部14とを備えたプリント配線板12であり、素子搭載部13に配線パターン13と略同じ厚さのダミー配線パターン15が設けられている。また、このプリント配線板12に半導体素子3が搭載されてなる半導体装置11。



1

【特許請求の範囲】

【請求項1】 配線パターンと、半導体素子を搭載しこれをペーストで固定するための素子搭載部とを備えたプリント配線板において、前記素子搭載部に前記配線パターンと略同じ厚さのダミー配線パターンが設けられていることを特徴とするプリント配線板。

【請求項2】 前記ダミー配線パターンが、プリント配線板の面方向に断続的に形成されてなることを特徴とする請求項1記載のプリント配線板。

【請求項3】 前記素子搭載部上に、ダミー配線パターンを介してプリント配線板の面方向に断続的に形成された状態でソルダーレジスト部が設けられていることを特徴とする請求項1記載のプリント配線板。

【請求項4】 配線パターンを有したプリント配線板の素子搭載部上に半導体素子を搭載し、該半導体素子をペーストによって固定してなる半導体装置において、前記プリント配線板の素子搭載部に前記配線パターンと略同じ厚さのダミー配線パターンが設けられていることを特徴とする半導体装置。

【請求項5】 前記ダミー配線パターンが、プリント配線板の面方向に断続的に形成されてなることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記半導体素子は前記素子搭載部のダミー配線パターン上にソルダーレジスト部を介して搭載されてなり、該ソルダーレジスト部は、プリント配線板の面方向に断続的に形成されてなることを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線パターンを有したプリント配線板、およびこのプリント配線板の素子搭載部上に半導体素子を搭載してなる半導体装置に関する。

【0002】

【従来の技術】プリント配線板上に半導体素子を搭載してなる半導体装置として、従来、例えば図3に示すようなBGA（ボールグリッドアレイ）と呼ばれる構造の半導体装置が知られている。図3において符号1は半導体装置であり、この半導体装置1は、プリント配線板2上に半導体素子3を搭載し、樹脂4で封止することによって構成されたものである。

【0003】プリント配線板2は、図4に示すように正方形形状のもので、その周辺部には多数の電気配線パターン5…が配設されている。なお、プリント配線板2の中央部、すなわち電気配線パターン5…に囲まれた箇所は、前記半導体素子3を搭載するための素子搭載部6となっている。

【0004】また、このプリント配線板2上の電気配線

2

パターン5…上および素子搭載部6上には図3に示すようにソルダーレジスト部7が設けられており、このソルダーレジスト部7上における前記素子搭載部6の直上には半導体素子3が搭載されている。そして、半導体素子3はペースト8によってソルダーレジスト部6上に接着固定されており、これによって該ソルダーレジスト部6を介して前記素子搭載部5上に搭載されたものとなっている。

【0005】なお、ペースト8は銀ペースト等の導電性ペーストや絶縁性ペーストからなっている。また、図3中符号9は半導体素子3と電気配線パターン5とを電気的に接続する金ワイヤーであり、符号10は電気配線パターン5に電気的に接続するはんだボールである。

【0006】

【発明が解決しようとする課題】ところで、前記の半導体装置1にあっては、半導体素子3が、電気配線パターン5の配置されていない素子搭載部6の直上のみでなく、電気配線パターン5の一部の直上にも位置しているため、ソルダーレジスト部7の半導体素子3載置面にも、その下地となる電気配線パターン5の影響をうけて大きな段差が形成されている。

【0007】しかしながら、このようにソルダーレジスト部7に大きな段差があると、半導体素子3とソルダーレジスト部7とを接着固定するためのペースト8は、その厚みやぬれ拡がりなどの塗布状態に大きなばらつきが生じてしまう。すなわち、電気配線パターン5…が存在しない素子搭載部6の直上では、ペースト8の塗布を多くしても図3に示したようにこのぬれ拡がり不起きに、一方、電気配線パターン5の直上部では、逆にペースト8の塗布量を少なくしてもこのぬれが拡がりすぎてしまうのである。

【0008】そして、このように半導体素子3の接着部においてペースト8の塗布状態にばらつきがあることにより、半導体素子3のプリント配線板2への接着強度の安定が損なわれてしまい、さらには、リフロー時に半導体装置1にクラックが発生し易くなってしまうなど、品質の安定化も損なわれてしまう結果となっている。

【0009】本発明は前記事情に鑑みてなされたもので、その目的とするところは、プリント配線板への半導体素子の接着状態を安定させ、これにより半導体装置の実装時における品質の向上を図ったプリント配線板とこれを用いた半導体装置とを提供することにある。

【0010】

【課題を解決するための手段】本発明のプリント配線板では、配線パターンと、半導体素子を搭載しこれをペーストで固定するための素子搭載部とを備えてなり、前記素子搭載部にダミー配線パターンを設けたことを前記課題の解決手段とした。

【0011】このプリント配線板によれば、素子搭載部に配線パターンと略同じ厚さのダミー配線パターンを設

3

けているので、このダミー配線パターンを設けた素子搭載部上の半導体素子搭載面と配線パターン上の半導体素子搭載面とがほぼ同じ高さになり、これにより半導体素子搭載面に大きな段差が生じなくなる。

【0012】本発明の半導体装置では、配線パターンを有したプリント配線板の素子搭載部に半導体素子を搭載し、該半導体素子をペーストによって固定してなり、前記プリント配線板の素子搭載部に前記配線パターンと略同じ厚さのダミー配線パターンを設けたことを前記課題の解決手段とした。

【0013】この半導体装置によれば、素子搭載部に配線パターンと略同じ厚さのダミー配線パターンを設けているので、このダミー配線パターンを設けた素子搭載部上の半導体素子搭載面と配線パターン上の半導体素子搭載面とがほぼ同じ高さになり、これにより半導体素子搭載面に大きな段差が生じなくなる。

【0014】

【発明の実施の形態】以下、本発明を詳しく説明する。図1は本発明の半導体装置の一実施形態例を示す図であり、図1中符号11は半導体装置である。この半導体装置11は、図3に示した半導体装置1と同様にBGA（ボールグリッドアレイ）と呼ばれる構造のもので、プリント配線板12上に半導体素子3を搭載し、樹脂4で封止することによって構成されたものである。

【0015】プリント配線板12は本発明のプリント配線板の一実施形態例となるもので、図2に示すように正形状のものである。このプリント配線板12には、その周辺部にエッチングによって形成されてなる電気配線パターン13…が配置されており、またその中央部、すなわち電気配線パターン13…に囲まれてなる素子搭載部14にはダミー配線パターン15が形成されている。

【0016】このダミー配線パターン15は、正形状枠とこの枠間を結ぶ縦横の直線部分とからなる格子状のもので、全体としてベタ状でなく、すなわち全体が連続した状態でなく、プリント配線板12の面方向に断続的に形成されたものである。また、このダミー配線パターン15は、前記電気配線パターン13…の形成と同時に形成されたものである。すなわちこのダミー配線パターン15は、銅等の金属がスパッタリング等によってプリント配線板12表面に成膜され、さらにこの金属膜が公知のリソグラフィ技術、エッチング技術によりパターン化されることにより、電気配線パターン13…の形成と同時に形成されたものである。したがって、その厚さは電気配線パターン13…と略同じ厚さに形成されたものとなっているのである。

【0017】また、このプリント配線板12上の電気配線パターン13…上およびダミー配線パターン15上には図1に示したように連続した膜状のソルダーレジスト部16が設けられており、このソルダーレジスト部16上における前記素子搭載部14の直上、すなわちダミー

4

配線パターン15の直上、および電気配線パターン13…の一部の直上には半導体素子3が搭載され、ペースト17によって接着固定されている。

【0018】なお、ペースト17としては各種の導電性ペーストや絶縁性ペーストが用いられるが、本例においては銀ペーストが用いられている。また、本実施形態例においても、半導体素子3の能動部分と電気配線パターン13とは金ワイヤー9によって電氣的に接続されており、さらに電気配線パターン13は、プリント配線板12に形成されたスルーホール（図示略）によってその下面に引き出され、はんだボール10に電氣的に接続されている。

【0019】このような構成のもとに、半導体素子3が搭載されているソルダーレジスト部16の表面、すなわち半導体素子搭載面には、下地であるダミー配線パターン15と電気配線パターン13…の一部とが略同じ高さに形成されていることにより大きな段差が生じないようにになっている。したがって、このソルダーレジスト部16の半導体素子搭載面上に塗着され、半導体素子3を該半導体素子搭載面に接着固定するペースト17は、その厚みやぬれ拡がり等の塗布状態に大きなばらつきが無く、ダミー配線パターン15上においても電気配線パターン13…の一部の上においてもほぼ同等のぬれ拡がりを呈するようになる。

【0020】よって、この半導体装置11にあつては、ペースト17の塗布状態を均一化することによりプリント配線板12への半導体素子3の接着状態を安定させることができ、したがって該半導体装置11の組立時および実装時における品質の向上を図ることができる。

【0021】また、ダミー配線パターン15を、プリント配線板12の面方向に断続的となる格子状に形成しているので、該ダミー配線パターン15上のソルダーレジスト部16の表面、すなわち半導体素子搭載面にダミー配線パターン15のパターン形状の影響によって大きな段差でなく小さな凹凸を形成することができ、これによりペースト17のぬれ性を良くして該ペースト17とソルダーレジスト部16との接着性を向上し、結果として該ソルダーレジスト部16への半導体素子3の接着強度を向上することができる。

【0022】また、プリント配線板12にあつても、ペースト17の塗布状態を均一化することにより該プリント配線板12への半導体素子3の接着状態を安定させることができ、したがってこのプリント配線板12を用いてなる半導体装置11の組立時および実装時における品質の向上を図ることができる。さらに、ダミー配線パターン15を格子状に形成しているので、前述したようにソルダーレジスト部16への半導体素子3の接着強度を向上することができる。

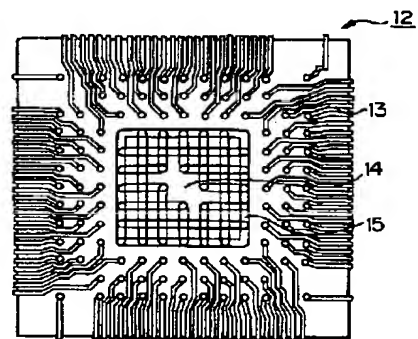
【0023】なお、前記実施形態例ではダミー配線パターン15を格子状としたが、本発明はこれに限定される

6

【発明の効果】以上説明したように本発明のプリント配線板は、素子搭載部に配線パターンと略同じ厚さのダミー配線パターンを設け、このダミー配線パターンを設けた素子搭載部上の半導体素子搭載面と配線パターン上の

20 3…半導体素子、11…半導体装置、12…プリント配線板、13…電気配線パターン、14…素子搭載部、15…ダミー配線パターン、16…ソルダーレジスト部、17…ペースト

【图 2】



【図 3】

